

SULIT



**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI JUN 2017

DEE2034 : DIGITAL ELECTRONICS

TARIKH : 02 NOVEMBER 2017

MASA : 8.30 PAGI - 10.30 PAGI (2 JAM)

Kertas ini mengandungi **SEBELAS (11)** halaman bercetak.

Bahagian A: Objektif (10 soalan)

Bahagian B: Struktur (4 soalan)

Bahagian C: Esei (2 soalan)

Dokumen sokongan yang disertakan : Lampiran 1

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

CLO1
C3

4. Determine the Boolean/logic Expression from logic circuit in Figure A4.

Hasilkan persamaan Boolean dari litar logik dalam Rajah A4.

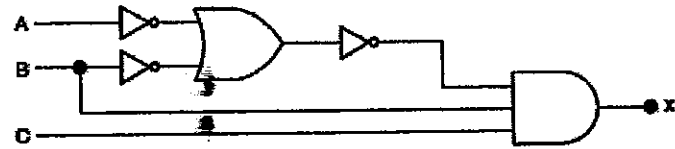


Figure A4 / Rajah A4

- A. $A.B.C$
- B. $(\overline{A+B}).BC$
- C. $A+B+C$
- D. $\overline{A.B} + B + C$

CLO1
C2

5. Determine the number of output for a decoder if the number of input is 4.

Tentukan bilangan keluaran bagi decoder jika bilangan masukan adalah 4.

- A. 2
- B. 4
- C. 8
- D. 16

CLO2
C1

6. Fill in the karnaugh map cell based on the given logic expression.

Isikan petak pada peta Karnaugh berdasarkan persamaan logik berikut.

$$Y = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$$

A.

		C	0	1
AB	00	0	0	
	01	0	1	
	11	1	1	
	10	0	1	

C.

		C	0	1
AB	00	0	0	
	01	0	1	
	10	0	1	
	11	1	1	

B.

		C	0	1
AB	00	1	1	
	01	1	0	
	11	0	0	
	10	1	0	

D.

		C	0	1
AB	00	1	1	
	01	1	0	
	10	1	0	
	11	0	0	

CLO2
C2

7. Identify the output status of operation for JK flip flop at second clock pulse in Figure A7, when positive clock triggering is used.

Kenalpasti status keluaran pada denyut jam kedua bagi operasi flip flop JK dalam Rajah A7, apabila jam pinggiran positif digunakan.

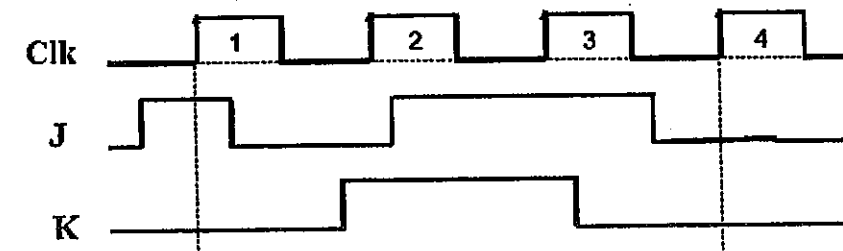


Figure A7 / Rajah A7

- A. HOLD
- B. TOGGLE
- C. SET
- D. RESET

CLO2
C2

8. Identify which of the following is NOT TRUE about counter.

Kenalpasti yang manakah TIDAK BENAR mengenai pembilang.

	ASYNCHRONOUS COUNTER	SYNCHRONOUS COUNTER
A.	Only the first flip flop gets the clock external pulses and successive flip flop derive the clock from the output of previous flip flop Hanya flop flip pertama mendapat denyut jam daripada luar dan jam flop flip seterusnya diambil daripada keluaran flip flop sebelumnya.	The clock input pulses are triggered simultaneously to each flip flop Denyut jam masukan adalah dipicu secara serentak untuk setiap flop flip
B.	Only counting up and down sequence Hanya mengira turutan ke atas dan ke bawah	Can count freely not only following the sequence Boleh mengira secara bebas bukan hanya mengikuti turutan
C.	Output frequency of counter does not depend on total of flip flop that is being used Frekuensi keluaran bagi pembilang tidak bergantung kepada jumlah flop flip yang digunakan	Output frequency of counter depends on total flip flop that is being used Frekuensi keluaran bagi pembilang bergantung kepada jumlah flop flip yang digunakan
D.	More propagation delay Lengah perambatan lebih tinggi	Less propagation delay Kurang lengah perambatan

CLO2
C3

9. Calculate the number of JK flip flops needed to design a counter that counts the sequence of 1, 5, 3, 7 repeatedly.

Kirakan bilangan flip flop JK yang diperlukan untuk membina satu pembilang yang membilang jujukan nombor 1, 5, 3, 7 secara berulang kali.

- A. 2
- B. 3
- C. 4
- D. 5

CLO2
C2

10. Figure A10 shows the flip flops connection for 3-bit Johnson counter. Determine the sequence for fourth clock pulse if the first clock pulse is $Q_A=0$, $Q_B=1$ and $Q_C=1$.

Rajah A10 menunjukkan sambungan flip flop untuk pembilang Johnson 3 bit. Tentukan turutan untuk denyut jam keempat jika denyut jam pertama adalah $Q_A=0$, $Q_B=1$ and $Q_C=1$.

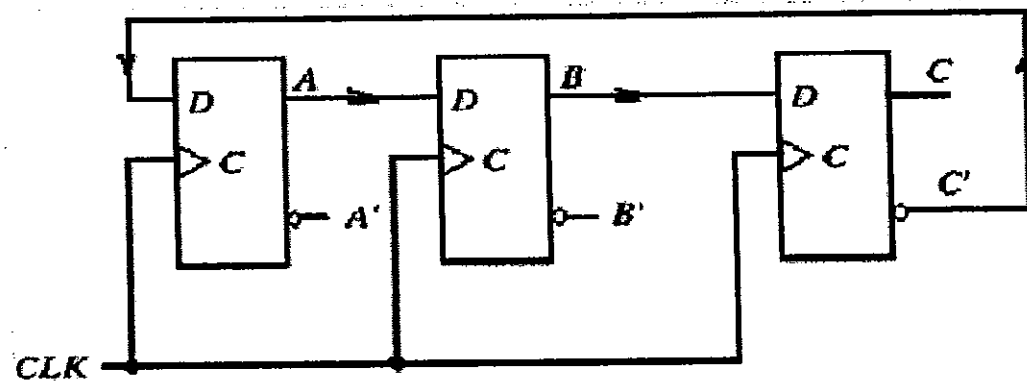


Figure A10/ Rajah A10

- A. $Q_A=1, Q_B=1, Q_C=0$
- B. $Q_A=1, Q_B=0, Q_C=0$
- C. $Q_A=1, Q_B=1, Q_C=1$
- D. $Q_A=0, Q_B=0, Q_C=0$

SECTION B : 60 MARKS
BAHAGIAN B : 60 MARKAH

INSTRUCTION:

This section consists of FOUR (4) structured questions. Answer ALL questions.

ARAHAN:

Bahagian ini mengandungi EMPAT(4) soalan berstruktur. Jawab SEMUA soalan.

CLO1
C1

QUESTION 1
SOALAN 1

(a) State 567_8 in binary equivalent.
Tentukan 567_8 dalam binari.

[3 marks]
[3 markah]

CLO1
C3

(b) Convert the following BCD codes to binary numbers 00111000_{BCD} and 01001001_{BCD}

01001001_{BCD}

Tukarkan kod BCD berikut kepada nombor binari 00111000_{BCD} and 01001001_{BCD}

01001001_{BCD}

[6 marks]
[6 markah]

CLO1
C3

(c) Solve the 8-bits arithmetic operation below by using 2's complement method.

$$(+16_{10}) + (-24_{10})$$

Selesaikan operasi arithmetik 8-bit di bawah dengan menggunakan kaedah pelengkap 2.

$$(+16_{10}) + (-24_{10})$$

[6 marks]
[6 markah]

QUESTION 2
SOALAN 2

CLO1
C1

- (a) Identify the output in the truth table 1(a) below for 3 inputs OR gate.
Kenalpasti keluaran bagi jadual kebenaran 1(a) dibawah untuk get ATAU 3 masukan.

X	Y	Z	OUTPUT
0	0	0	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	1	

Table 1(a)/Jadual 1(a)

[3 marks]

[3 markah]

CLO2
C3

- (b) Determine the output equation for logic circuit shown in Figure B2(b) below and simplify it by using Boolean Algebra's theorem.
Dapatkan persamaan keluaran untuk litar logik yang ditunjukkan dalam Rajah B2(b) di bawah dan ringkaskan menggunakan Teorem Algebra Boolean.

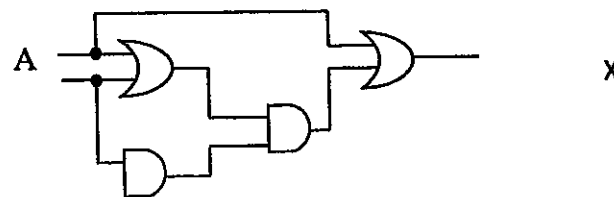


Figure B2(b)/Rajah B2(b)

[6 marks]

[6 markah]

CLO2
C3

- (a) For Demultiplexer 1-4 line, construct the truth table and draw the its circuit

Untuk penyahmultiplek 1-4 talian, bina jadual kebenaran dan lukiskan litarnya.

[6 marks]

[6 markah]

QUESTION 3
SOALAN 3

CLO2
C1

- (a) State **THREE(3)** applications of flip-flop.
Nyatakan TIGA(3) kegunaan flip-flop.

[3 marks]

[3 markah]

CLO2
C2

- (b) Identify the type and construct the truth table of flip-flop shown in Figure 3B(b) below.
Tentukan jenis dan bina jadual kebenaran bagi flip-flop yang ditunjukkan pada Rajah 3B(b) di bawah.

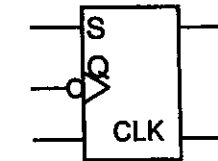


Figure 3B(b)/Rajah 3B(b)

[5 marks]

[5 markah]

CLO2
C3

- (c) Based on Figure B3(c), sketch the output Q for Gated SR flip-flop with negative triggered. (Assume the initial output $Q_0 = 0$). Refer appendix 1

Berdasarkan Rajah B3(c), lukiskan keluaran Q bagi flip flop SR berjam pada picuan negatif. (Anggap keadaan awal $Q_0 = 0$). Rujuk Lampiran 1.

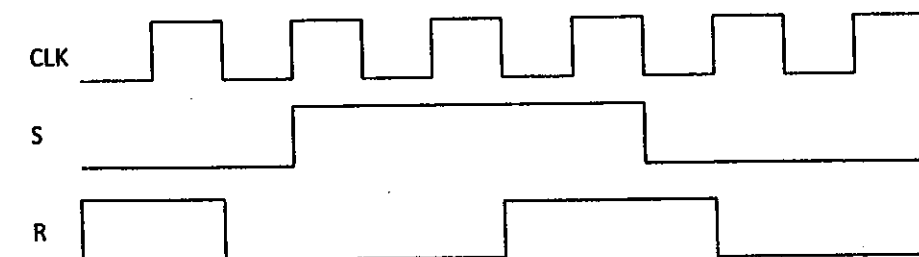


Figure B3(c)/Rajah B3(c)

[7 marks]

[7 markah]

QUESTION 4
SOALAN 4

CLO2
C2

- (a) Determine the number of flip-flop needed to construct a shift register capable of storing decimal number up to 37
Dapatkan jumlah flip-flop yang diperlukan untuk membina sebuah daftar anjakan yang berupaya menyimpan nombor decimal sehingga 37.

[3 marks]
[3 markah]

CLO2
C3

- (b) Sketch the output waveform with 1011 input data for Parallel In Parallel Out (PIPO) shift register. Assume the initial output is '0'.

Lakarkan gelombang keluaran output dengan 1011 masukan data untuk alat daftar Masukan Selari Keluaran Selari (PIPO). Anggap keadaan awal output adalah '0'.

[6 marks]
[6 markah]

CLO2
C3

- (c) Based on question 4(b), prove it by truth table.
Berdasarkan Soalan 4(b), buktikan melalui Jadual kebenaran.

[6 marks]
[6 markah]

SECTION C : 30 MARKS
BAHAGIAN C : 30 MARKAH

INSTRUCTION:

This section consists of TWO (2) essay questions. Answer ALL questions.

ARAHAN:

Bahagian ini mengandungi DUA (2) soalan esei. Jawab semua soalan.

QUESTION 1**SOALAN 1**

CLO2
C3

A combinational circuit has three inputs A, B, C and output F. F is HIGH for following input combinations (use the term True = 1 and False = 0):

A is False, B is True, C is False

A is False, B is True, C is True

A is False, B is False, C is True

A, B, C are False

A, B, C are True

Produce the truth table for above input combinations and use a K-Map method to simplify expression for F in Sum of Product (SOP) form.

Satu litar gabungan mempunyai tiga input A, B, C dan keluaran F. F adalah TINGGI gabungan input yang berikut (gunakan istilah Betul = 1 dan Salah = 0):

A adalah Salah, B adalah Betul, C adalah Salah

A adalah Salah, B adalah Betul, C adalah Betul

A adalah Salah, B adalah Salah, C adalah Betul

A, B, C adalah Salah

A, B, C adalah Betul

Hasilkan jadual kebenaran bagi gabungan input diatas dan gunakan kaedah Peta Karnaugh untuk memudahkan ungkapan F dalam bentuk Jumlah Hasil Darab (SOP).

[15 marks]

[15 markah]

QUESTION 2
SOALAN 2

CLO2
C5

Design an asynchronous down counter circuit MOD 15 using negative edge triggered T flip-flop.

Rekabentukkan satu litar pembilang tak segerak kebawah MOD 15 menggunakan flip-flop T picuan pinggir negatif.

[15 marks]

[15 markah]

SOALAN TAMAT

APPENDIX 1 (QUESTION 3 (C))
LAMPIRAN 1 (SOALAN 3 (C))

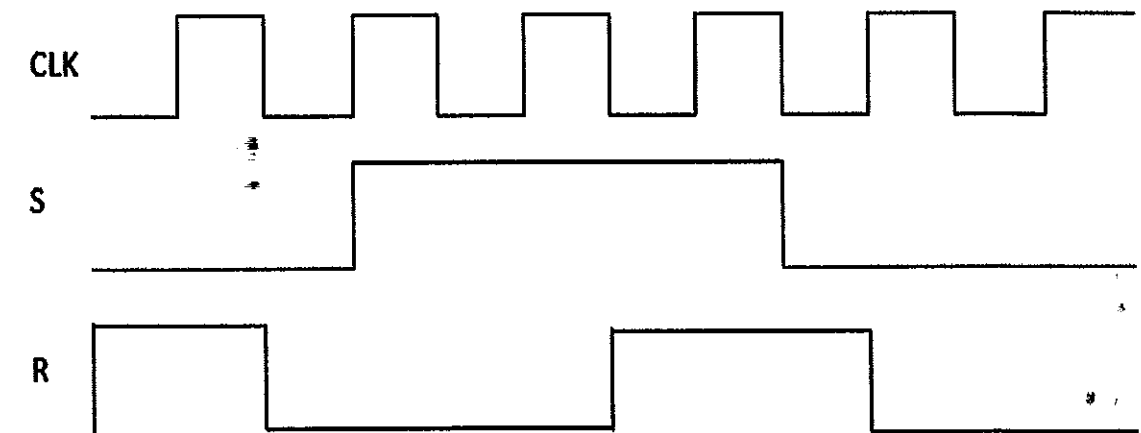


Figure B3(c) / Rajah B3(c)