

SULIT



**KEMENTERIAN PENDIDIKAN TINGGI
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI**

**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI II : 2023/2024

DEE20033 : DIGITAL ELECTRONICS

TARIKH : 29 MEI 2024

MASA : 8.30 AM – 10.30 AM (2 JAM)

Kertas ini mengandungi **SEMBILAN(9)** halaman bercetak.
Bahagian A: Subjektif (4 soalan)
Bahagian B: Esei (1 soalan)
Dokumen sokongan yang disertakan : ASCII Code dan BCD

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A : 80 MARKS**BAHAGIAN A : 80 MARKAH****INSTRUCTION:**

This section consists of **FOUR (4)** subjective questions. Answer **ALL** questions.

ARAHAN :

*Bahagian ini mengandungi **EMPAT (4)** soalan subjektif. Jawab **SEMUA** soalan.*

QUESTION 1**SOALAN 1**

- CLO1 a) State the symbol and truth table of NAND Gate.
Nyatakan simbol dan jadual kebenaran bagi Get Tak Dan.
- [4 marks]
[4 markah]
- CLO1 b) Convert 10010101_{BCD} to the equivalent Binary and Octal numbers.
Tukarkan 10010101_{BCD} kepada nombor perduaan dan perlapanan yang senilai.
- [6 marks]
[6 markah]

CLO1

- c) Signed number consist of 1's complement and 2's complement. By using 2's complement, solve the 8 -bits addition decimal number below.

$$(-40_{10}) + (-15_{10})$$

Nombor bertanda terdiri dari pelengkap 1 dan pelengkap 2. Dengan menggunakan pelengkap 2, selesaikan penambahan 8-bit nombor perpuluhan dibawah.

$$(-40_{10}) + (-15_{10})$$

[10 marks]

[10 markah]

QUESTION 2

SOALAN 2

CLO1

- a) Define the Boolean equation at point X, Y, Z, and Q for the circuit in Figure A2(a).

Dapatkan persamaan Boolean pada keluaran X, Y, Z, dan Q bagi litar logik pada Rajah A2(a).

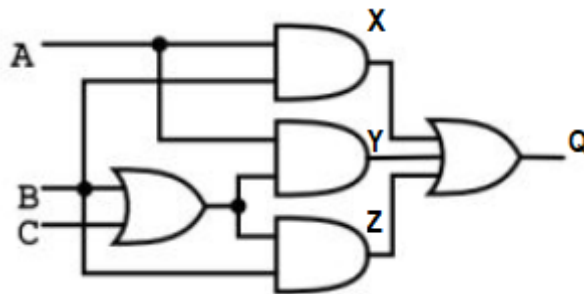


Figure A2(a)/Rajah A2(a)

[4 marks]

[4 markah]

CLO1

- b) Using Boolean Theorem, simplify the Boolean expression below.

$$F = \overline{\overline{A} \overline{B}} \cdot \overline{\overline{A} \overline{B}} (A + B)$$

Menggunakan Teorem Boolean, permudahkan ungkapan Boolean di bawah.

$$F = \overline{\overline{A} \overline{B}} \cdot \overline{\overline{A} \overline{B}} (A + B)$$

[6 marks]

[6 markah]

CLO1

- c) Given $F(A, B, C, D) = \sum m(3,4,5,6,7,10,11,12,13,14,15)$. With the aid of truth table and Karnaugh Map, sketch the circuit based on the simplified Sum of Product (SOP) equation.

Diberi $F(A, B, C, D) = \sum m(3,4,5,6,7,10,11,12,13,14,15)$. Dengan bantuan Jadual kebenaran dan Peta Karnaugh, lakarkan litar logik gabungan daripada persamaan SOP yang telah diringkaskan.

[10 marks]

[10 markah]

QUESTION 3**SOALAN 3**

- CLO1 a) State the symbol and logic circuit for NAND SR Flip Flop.
Kenalpasti simbol dan litar logik untuk flip-flop SR TAK DAN.
- [4 marks]
[4 markah]
- CLO1 b) Explain T and D flip-flop using only appropriate diagrams and truth tables.
Terangkan flip-flop T dan D dengan hanya menggunakan gambarajah dan jadual kebenaran.
- [6 marks]
[6 markah]
- CLO1 c) Complete the Table A3(c) for the output of JK flip-flop.
Lengkapkan Jadual A3(c) bagi keluaran flip-flop JK.

Table A3(c) / *Jadual A3(c)*

Input		Output before clock		Output after clock	
J	K	Q _n	Q _n '	Q _{n+1}	Q _{n+1} '
0	0	1	0		
1	1	0	1		
1	0	0	1		
0	1	1	0		
0	0	1	0		
0	1	0	1		
1	0	0	1		
1	1	1	0		
1	1	0	1		
0	0	1	0		

[10 marks]
[10 markah]

QUESTION 4**SOALAN 4**

- CLO1 a) Identify **FOUR (4)** types of shift register.
Kenalpasti EMPAT (4) jenis daftar anjakan.
- [4 marks]
[4 markah]
- CLO1 b) If the output frequency (f_{out}) for a 4-bit asynchronous counter is 40kHz. Locate the value of input frequency (f_{in}) of the counter and output frequency (f_{out}) for second flip flop.
Jika nilai frekuensi keluaran (f_{out}) bagi pembilang tak segerak 4-bit adalah 40KHz. Cari nilai frekuensi masukan (f_{in}) bagi pembilang dan frekuensi keluaran (f_{out}) bagi flip flop kedua.
- [6 marks]
[6 markah]
- CLO1 c) Sketch the circuit of 6-bit serial in-parallel out (SIPO) shift register using positive edge triggered D flip-flop. Use SIPO concept to complete Table A4(c). The input data is 110011_2 and the initial data in the flip-flop is 001100_2 .
Lakarkan litar bagi alat daftar 6-bit Masukan Siri Keluaran Selari dengan menggunakan flip-flop D picuan pinggir positif. Gunakan konsep SIPO untuk melengkapkan Jadual A4(c). Data masukan adalah 110011_2 dan data awal di dalam flip-flop adalah 001100_2 .

Table A4(c) / *Jadual A4(c)*

CLK	DATA	QA	QB	QC	QD	QE	QF

[10 marks]

[10 markah]

SECTION B : 20 MARKS***BAHAGIAN B : 20 MARKAH*****INSTRUCTION:**

This section consists of **ONE (1)** essay questions. Answer the question.

ARAHAN :

*Bahagian ini mengandungi **SATU (1)** soalan esei. Jawab soalan tersebut.*

- CLO1 Construct a synchronous up counter circuit that will count the random number 3,6,9,12,15 repeatedly by using negative edge triggered T flip-flop. Your answer must include the number of flip-flops required, state diagram, excitation table, Karnaugh Map and logic circuit.

Rekakan sebuah litar pembilang segerak yang akan mengira bilangan nombor secara rawak mengikut turutan 3,6,9,12,15 secara berulang kali dengan menggunakan flip-flop T picuan pinggir negatif. Sertakan jawapan anda dengan bilangan flip-flop yang diperlukan, rajah keadaan, jadual ujaan, Peta Karnaugh dan litar logik.

[20 marks]

[20 markah]

SOALAN TAMAT

Appendix 1/ Lampiran 1

ASCII Code

MSB									
LSB	Binary	000	001	010	011	100	101	110	111
Binary	Hex	0	1	2	3	4	5	6	7
0000	0	NUL	DLE	sp	0	@	P	`	p
0001	1	SOH	Dc1	!	1	A	Q	a	q
0010	2	STX	Dc2	“	2	B	R	b	r
0011	3	ETX	Dc3	#	3	C	S	c	s
0100	4	EOQ	Dc4	\$	4	D	T	d	t
0101	5	END	Nak	%	5	E	U	e	u
0110	6	ACK	Syn	&	6	F	V	f	v
0111	7	BEL	Etb	‘	7	G	W	g	w
1000	8	BS	Can	(8	H	X	h	x
1001	9	HT	Em)	9	I	Y	i	y
1010	A	LF	Sub	*	:	J	Z	j	z
1011	B	VT	Esc	+	;	K	[k	{
1100	C	FF	FS	,	<	L	\	l	
1101	D	CR	GS	-	=	M]	m	}
1110	E	SO	RS	.	>	N	^	n	~
1111	F	SI	US	/	?	O	-	o	DEL

BCD- Binary Coded Decimal

Decimal	5421	5311	4221	3321	2421	8421	7421
0	0000	0000	0000	0000	0000	0000	0000
1	0001	0001	0001	0001	0001	0001	0001
2	0010	0011	0010	0010	0010	0010	0010
3	0011	0100	0011	0011	0011	0011	0011
4	0100	0101	1000	0101	0100	0100	0100
5	1000	1000	0111	1010	1011	0101	0101
6	1001	1001	1100	1100	1100	0110	0110
7	1010	1011	1101	1101	1101	0111	1000
8	1011	1100	1110	1110	1110	1000	1001
9	1100	1101	1111	1111	1111	1001	1010