

SULIT



**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENGAJIAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI II : 2021/2022

DEE20033: DIGITAL ELECTRONICS

TARIKH : 28 JUN 2022

MASA : 8.30 PAGI - 10.30 PAGI (2 JAM)

Kertas ini mengandungi **TUJUH (7)** halaman bercetak.

Bahagian A: Subjektif (3 soalan)

Bahagian B: Esei (1 soalan)

Dokumen sokongan yang disertakan : **TIADA**

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A : 75 MARKS
BAHAGIAN A : 75 MARKAH

INSTRUCTION:

This section consists of **THREE (3)** subjective questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi **TIGA (3)** soalan berstruktur. Jawab **SEMUA** soalan.

QUESTION 1

SOALAN 1

CLO1
C3

- (a) Solve the 8-bits arithmetic operation below by using 2's complement method.

$$-74_{10} - 38_{10}$$

Selesaikan operasi aritmetik 8-bit di bawah dengan menggunakan kaedah pelengkap 2.

$$-74_{10} - 38_{10}$$

[8 marks]
[8 markah]

CLO1
C3

- (b) By using the BCD method, solve the add operation below.

$$764_{10} + 358_{10}$$

Dengan menggunakan kaedah BCD, selesaikan operasi tambah di bawah.

$$764_{10} + 358_{10}$$

[8 marks]
[8 markah]

CLO1
C3

- (c) Based on circuit diagram in Figure 1A shows a SIPO shift register with outputs A and B connected to a NAND gate. The output of the NAND gate is used to generate D_{IN} .

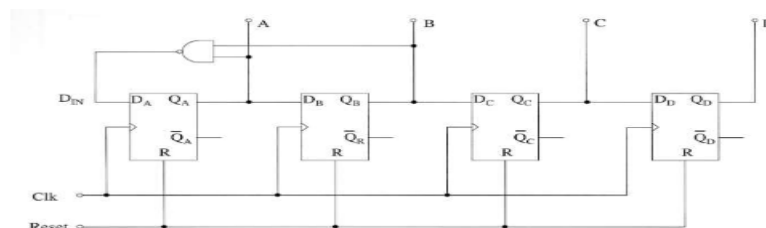


Figure 1A / Rajah 1A

The content A, B, C and D of shift register is initially 0000. The register is serially shifted **FOUR (4)** times with an input of 1011. Complete the content in the Table 1.1 and draw the timing diagram that shows the shifting.

Clock	Data	Q _A	Q _B	Q _C	Q _D
0					
1					
2					
3					
4					

Table 1.1/Jadual 1.1

Rajah litar 1A menunjukkan daftar anjakan SIPO dengan output A dan B disambungkan ke get NAND. Keluaran get NAND digunakan untuk menjana D_{IN}.

*Keadaan awal alat daftar bagi A,B,C dan D adalah 0000. Alat daftar berkenaan telah dianjakkkan ke kanan secara sesiri sebanyak **EMPAT(4) kali** dengan data masukan ialah 1011.. Lengkapkan jadual berikut dan lukis gambarajah pemasaan untuk menunjukkan kandungan data bagi setiap anjakan.*

[9 marks]
[9 markah]

QUESTION 2

SOALAN 2

CLO1
C3

(a) Write the output expression for the logic circuit shown in Figure 2A below.

Simplify the equation by using Boolean algebra's and build the truth table.

Tuliskan persamaan keluaran bagi litar logik yang ditunjukkan didalam rajah 2A dibawah. Ringkaskan persamaan menggunakan Algebra Boolean dan binakan jadual kebenaran.

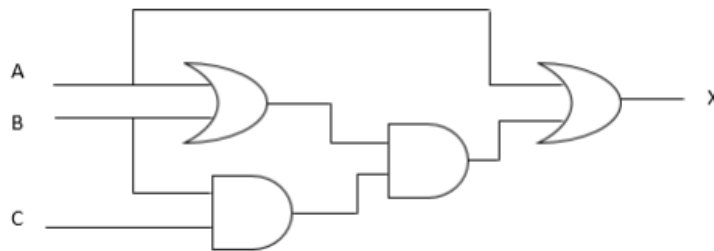


Figure 2A/ Rajah 2A

[8 marks]

[8 markah]

CLO1
C3

(b) Based Table 2.1, produce the Boolean expression in Sum-of-Product (SOP) form.

Simplify the expression by using Boolean algebra and draw the logic circuit.

Berdasarkan Jadual 2.1, nyatakan persamaan Boolean bagi Jumlah-Hasil-Darab(SOP). Ringkaskan persamaan menggunakan Boolean Algebra dan lukiskan litar logik yang telah dipermudahkan.

A	B	C	OUTPUT (Y)
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Table 2.1 / Jadual 2.1

[8 marks]

[8 markah]

CLO1
C3

(c) Given the equation,

Diberikan persamaan,

$$F(A,B,C) = \Sigma m(1,5,6,7)$$

Construct the truth table and use Karnaugh method to simplify expression for F in Sum of Product (SOP) form.

Bina jadual kebenaran dan gunakan kaedah Karnaugh memudahkan persamaan bagi F menggunakan persamaan Jumlah Hasil darab (SOP).

[9 marks]
[9 markah]

QUESTION 3**SOALAN 3**CLO1
C3

(a) Complete the data in Table 3A for D flip-flop if the input data and clock are given in the table below.

Lengkapkan Jadual 3A untuk flip-flop D jika masukan data dan jam diberikan di dalam jadual di bawah.

INPUT D	OUTPUT BEFORE CLOCK		OUTPUT AFTER CLOCK	
	Q_n	\overline{Q}_n	Q_{n+1}	\overline{Q}_{n+1}
1	1	0	1	0
0				
1	0	1		
0			0	1
0				
1	0	1		
0			0	1

Table 3A/ Jadual 3A

[8 marks]
[8 markah]

CLO1
C3

(b) Draw the output waveform, Q for D clock flip-flop negative trigger in Figure 3B.

Assume initial state is Reset.

Lukiskan gelombang keluaran, Q untuk flip flop D jam negatif di Gambarajah 3B.

Anggapkan keadaan awal ialah Reset.

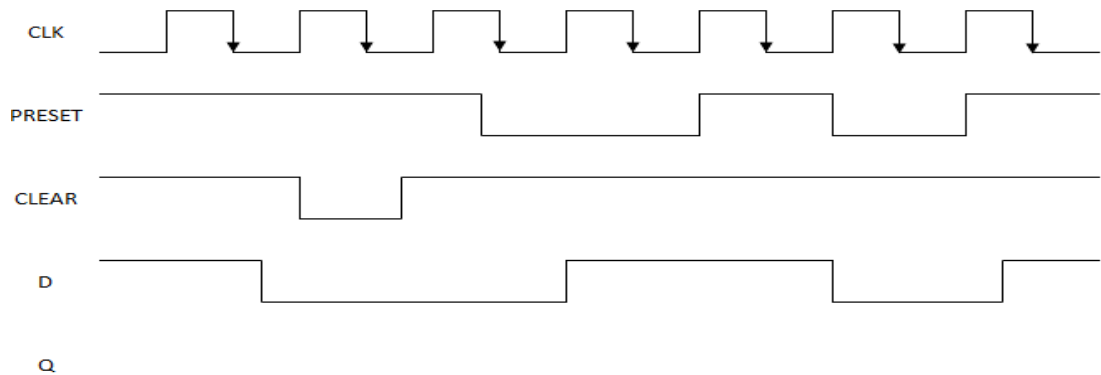


Figure 3B / Gambarajah 3B

[8 marks]

[8 markah]

CLO1
C3

(c) Construct the state diagram and truth table using 4-bit Ring counter according to the data given. The data shifted for **FOUR (4)** times and data before clock pulse is $Q_a = 1$, $Q_b = 1$, $Q_c = 0$ and $Q_d = 0$.

*Berdasarkan data yang diberi, bina gambarajah keadaan dan jadual kebenaran bagi pembilang Ring 4-bit. Data akan beranjak sebanyak **EMPAT (4)** kali dan data yang diberi sebelum masukan jam adalah $Q_a = 1$, $Q_b = 1$, $Q_c = 0$ dan $Q_d = 0$.*

[9 marks]

[9 markah]

SECTION B : 25 MARKS**BAHAGIAN B : 25 MARKAH****INSTRUCTION:**

This section consists of **ONE (1)** essay questions. Answer the questions.

ARAHAN:

*Bahagian ini mengandungi **SATU (1)** soalan esei. Jawab soalan tersebut.*

QUESTION 1**SOALAN 1**

CLO1
C3

Construct a synchronous counter that can count number 9,3,6,11 repeatedly by using positive edge triggered JK flip-flop. Show all the steps involved.

Binakan pemboleh ubah segerak yang boleh dihitng nombor 9,3,6,11 berulang kali dengan menggunakan flip-flop JK picuan pinggir negatif. Tunjukkan semua langkah-langkah tersebut.

[25 marks]

[25 markah]

SOALAN TAMAT